

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177744

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

H03K 19/0185

(21)Application number : 04-325117

(71)Applicant : NEC CORP

(22)Date of filing : 04.12.1992

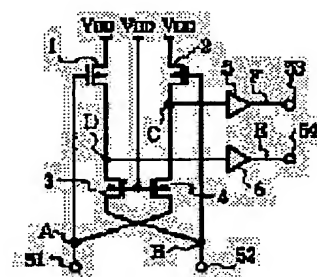
(72)Inventor : NAKANO FUMIO

(54) LEVEL CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To reduce power consumption by forming a circuit converting a small amplitude high speed complementary signal to a CMOS logic level with two of PMOS transistors(TRs), NMOS TRs and CMOS inverter circuits.

CONSTITUTION: A power supply voltage is applied to a source of a PMOS TR 1 when a node A is at an H level and a node B is at an L level corresponding to input terminals 51, 52 and an ON-resistance of the TR1 is set higher to set a gate potential to an H level. Furthermore, a power supply voltage is applied to a gate of an NMOS TR 3 and an ON-resistance of the TR 3 is decreased to set a source potential to an L level thereby reducing a potential at a node D and inverting an output level at the node E of an output terminal 54 at a CMOS inverter circuit 6 and the resulting signal is outputted as a power supply voltage. Furthermore, a PMOS TR 2, an NMOS TR 4 and a CMOS inverter circuit 5 are activated by the similar method and a ground potential is outputted from a node F of the output terminal 53.



LEGAL STATUS

[Date of request for examination] 25.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2836412

[Date of registration] 09.10.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 09.10.2001

Copyright (C); 1998,2003 Japan Patent Office

(19)【発行国】日本国特許庁(JP)

(12)公開特許公報(A)

(11)【公開番号】特開平6-177744
(43)【公開日】平成6年(1994)6月24日

(51)【国際特許分類第5版】

H03K 19/0185

【FI】

H03K 19/00 101 E 8941-5J

【審査請求】未請求【請求項の数】2【全頁数】5

(21)【出願番号】特願平4-325117

(22)【出願日】平成4年(1992)12月4日

(71)【出願人】

【識別番号】000004237

【氏名又は名称】日本電気株式会社

【住所又は居所】東京都港区芝五丁目7番1号

(72)【発明者】

【氏名】中野 文雄

【住所又は居所】東京都港区芝五丁目7番1号日本電気株式会社内

(74)【代理人】

【弁理士】

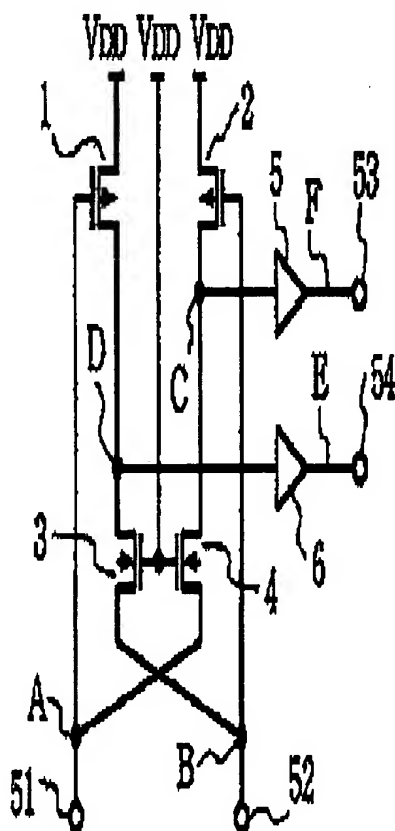
【氏名又は名称】京本 直樹(外2名)

(54)【発明の名称】レベル変換回路

(57)【要約】

【目的】回路規模を縮小し、消費電力を低減するレベル変換回路を提供する。

【構成】本発明のレベル変換回路は、ソースに高電位側の電源電圧VDDが供給され、ゲートが入力端子51に接続されて、ドレインが節点Dに接続されるPMOSTランジスタ1と、ドレインが前記節点Dに接続され、ゲートに高電位側の電源電圧VDDが供給されて、ソースが入力端子52に接続されるNMOSTランジスタ3と、ソースに高電位側の電源電圧VDDが供給され、ゲートが入力端子52に接続されて、ドレインが節点Cに接続されるPMOSTランジスタ2と、ドレインが前記節点Cに接続され、ゲートに高電位側の電源電圧VDDが供給されて、ソースが入力端子51に接続されるNMOSTランジスタ4と、入力端が前記節点Cに接続され、出力端が出力端子53に接続されるCMOSインバータ回路5と、入力端が前記節点Dに接続され、出力端が出力端子54に接続されるCMO



1,2...PMOSトランジスタ

3,4...NMOSトランジスタ

5,6...CMOSインバータ回路

Sインバータ回路6とを備えている。

【特許請求の範囲】

【請求項1】 ソースに高電位側の電源が供給され、ゲートが第1の入力端子に接続されて、ドレインが所定の節点Dに接続される第1のPMOSTランジスタと、ドレインが前記節点Dに接続され、ゲートに高電位側の電源が供給されて、ソースが第2の入力端子に接続される第1のNMOSTランジスタと、ソースに高電位側の電源が供給され、ゲートが前記第2の入力端子に接続されて、ドレインが所定の節点Cに接続される第2のPMOSTランジスタと、ドレインが前記節点Cに接続され、ゲートに高電位側の電源が供給されて、ソースが前記第1の入力端子に接続される第2のNMOSTランジスタと、入力端が前記節点Cに接続され、出力端が第1の出力端子に接続される第1のCMOSバッファ回路と、入力端が前記節点Dに接続され、出力端が第2の出力端子に接続される第2のCMOSバッファ回路と、を備えることを特徴とするレベル変換回路。

【請求項2】 ソースに低電位側の電源が供給され、ゲートが第1の入力端子に接続されて、ドレインが所定の節点Dに接続される第1のNMOSTランジスタと、ドレインが前記節点Dに接続され、ゲートに低電位側の電源が供給されて、ソースが第2の入力端子に接続される第1のPMOSTランジスタと、ソースに低電位側の電源が供給され、ゲートが前記第2の入力端子に接続されて、ドレインが所定の節点Cに接続される第2のNMOSTランジスタと、ドレインが前記節点Cに接続され、ゲートに低電位側の電源が供給されて、ソースが前記第1の入力端子に接続される第2のPMOSTランジスタと、入力端が前記節点Cに接続され、出力端が第1の出力端子に接続される第1のCMOSバッファ回路と、入力端が前記節点Dに接続され、出力端が第2の出力端子に接続される第2のCMOSバッファ回路と、を備えることを特徴とするレベル変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はレベル変換回路に関し、特に小振幅の高速相補信号をCMOS論理レベルに変換するために用いられるレベル変換回路に関する。

【0002】

【従来の技術】従来のレベル変換回路は、図5に一例が示されるように、振幅0.8V(振幅の中心合電圧:1.3V程度)程度の相補信号を受けて、CMOSの論理レベル変換する回路として構成される。図5に示されるように、従来のレベル変換回路は、入力端子51、52および出力端子53、54に対応して、PMOSTランジスタ8および9、NMOSTランジスタ10および11、CMOSインバータ回路12より成るシングルエンド・レベル変換回路7と、NMOSTランジスタ14および15、PMOSTランジスタ16および17、CMOSインバータ回路18より成るシングルエンド・レベル変換回路13とを備えて構成される。また、図6(a)、(b)および(c)は、図5に示される本従来例の各節点A、B、C、D、EおよびFにおける各動作波形を示す図である。

【0003】始めにシングルエンド・レベル変換回路7の動作について説明する。図5において、入力端子51および52に入力される相補入力信号に対応して、シングルエンド・レベル変換回路7における節点Aが“H”レベル(1.7V程度)、節点Bが“L”レベル(0.9V程度)の時には、PMOSTランジスタ8のソースには電源電圧VDDが供給されており、ゲート電位が“H”レベルになるためにPMOSTランジスタ8のオン抵抗値は高くなり、またNMOSTランジスタ10においては、ゲートがドレインに接続されており、ソース電位が“L”レベルになるためにNMOSTランジスタ10のオン抵抗値が低下して、節点Dの電位は2V程度に下がる。一方において、PMOSTランジスタ9は、ソースに電源電圧VDDが供給されており、ゲート電位が“L”レベルになるためにPMOSTランジスタ9のオン抵抗値は低下し、NMOSTランジスタ11においては、ゲートが節点Dに接続されており、ソース電位が“H”レベルになるためにNMOSTランジスタ11のオン抵抗値が高くなり、節点Cの電位は4V程度に上昇する。従って、出力端子53(節点Fの電位)における出力の電位は、CMOSインバータ回路12により反転されて、接地電位として出力される。

【0004】また、入力端子51および52に入力される相補入力信号に対応して、節点Aの電位が“L”レベルで、節点Bの電位が“H”レベルの時には、PMOSTランジスタ8のソースには電源電圧VDDが供給されており、ゲート電位が“L”レベルになるためにPMOSTランジスタ8のオン抵抗値が低下し、またNMOSTランジスタ10においては、ゲートがドレインに接続されており、ソース電位が“H”レベルになるためにNMOSTランジスタ10のオン抵抗値が高くなり、節点Dの電位は3V程度に上昇する。他方において、PMOSTランジスタ9は、ソースに電源電圧VDDが供給されており、ゲート電位が“H”レベルになるためにPMOSTランジスタ9のオン抵抗値は高くなり、NMOSTランジスタ11においては、ゲートが節点Dに接続されており、ソース電位が“L”レベルになるためにNMOSTランジスタ11のオン抵抗値が低下し、節点Cの電位は1V程度に下がる。従って、出力端子53における

出力の電位(節点Fの電位)は、CMOSインバータ回路12により反転されて、電源電位(5V)として出力される。

【0005】また、シングルエンド・レベル変換回路13の動作についても、上述のシングルエンド・レベル変換回路7の場合と同様であるが、入力が、シングルエンド・レベル変換回路7とは逆の接続となっているために、出力端子54(節点E)からは、出力端子53の出力に対して逆相の信号が出力される。従って、0.8V程度の振幅の相補入力信号が0/5VのCMOSレベルの相補信号に変換されて出力される。

【0006】

【発明が解決しようとする課題】上述した従来のレベル変換回路においては、シングルエンド・レベル変換回路を二つ用いているために、回路規模としてMOSTランジスタを12個程度も必要する程に大きくなるという欠点があり、且つ、そのために要する消費電力も増大するという欠点がある。

【0007】

【課題を解決するための手段】第1の発明のレベル変換回路は、ソースに高電位側の電源が供給され、ゲートが第1の入力端子に接続されて、ドレインが所定の節点Dに接続される第1のPMOSTランジスタと、ドレインが前記節点Dに接続され、ゲートに高電位側の電源が供給されて、ソースが第2の入力端子に接続される第1のNMOSTランジスタと、ソースに高電位側の電源が供給され、ゲートが前記第2の入力端子に接続されて、ドレインが所定の節点Cに接続される第2のPMOSTランジスタと、ドレインが前記節点Cに接続され、ゲートに高電位側の電源が供給されて、ソースが前記第1の入力端子に接続される第2のNMOSTランジスタと、入力端が前記節点Cに接続され、出力端が第1の出力端子に接続される第1のCMOSバッファ回路と、入力端が前記節点Dに接続され、出力端が第2の出力端子に接続される第2のCMOSバッファ回路と、を備えることを特徴としている。

【0008】また、第2の発明のレベル変換回路は、ソースに低電位側の電源が供給され、ゲートが第1の入力端子に接続されて、ドレインが所定の節点Dに接続される第1のNMOSTランジスタと、ドレインが前記節点Dに接続され、ゲートに低電位側の電源が供給されて、ソースが第2の入力端子に接続される第1のPMOSTランジスタと、ソースに低電位側の電源が供給され、ゲートが前記第2の入力端子に接続されて、ドレインが所定の節点Cに接続される第2のNMOSTランジスタと、ドレインが前記節点Cに接続され、ゲートに低電位側の電源が供給されて、ソースが前記第1の入力端子に接続される第2のPMOSTランジスタと、入力端が前記節点Cに接続され、出力端が第1の出力端子に接続される第1のCMOSバッファ回路と、入力端が前記節点Dに接続され、出力端が第2の出力端子に接続される第2のCMOSバッファ回路と、を備えることを特徴としている。

【0009】

【実施例】次に、本発明について図面を参照して説明する。

【0010】図1は本発明の第1の実施例を示す回路図である。図1に示されるように、本実施例は、入力端子51、52および出力端子53、54に対応して、PMOSTランジスタ1および2と、NMOSTランジスタ3および4と、CMOSインバータ回路5および6とを備えて構成される。また、図2(a)、(b)および(c)は、図1に示される本実施例の各節点A、B、C、D、EおよびFにおける各動作波形を示す図である。

【0011】以下、図1および図2を参照して本実施例の動作について説明する。

【0012】図1において、入力端子51および52に入力される相補入力信号に対応して、節点Aが“H”レベル(1.7V程度)、節点Bが“L”レベル(0.9V程度)の時には(図2(a)参照)、PMOSTランジスタ1のソースには電源電圧VDD(5V)が供給されており、ゲート電位が“H”レベルになるためにPMOSTランジスタ1のオン抵抗値は高くなり、またNMOSTランジスタ3においては、ゲートに電源電圧VDD(5V)が供給されており、ソース電位が“L”レベルになるためにNMOSTランジスタ3のオン抵抗値が低下して、節点Dの電位は1.5V程度に下がり(図2(b)参照)、出力端子54(節点E)における出力電位は、CMOSインバータ回路6により反転されて、電源電圧(5V)として出力される(図2(c)参照)。一方において、PMOSTランジスタ2は、ソースに電源電圧VDD(5V)が供給されており、ゲート電位が“L”レベルになるためにPMOSTランジスタ2のオン抵抗値は低下し、NMOSTランジスタ3においては、ゲートに電源電圧VDD(5V)が供給されており、ソース電位が“H”レベルになるためにNMOSTランジスタ4のオン抵抗値が高くなって、節点Cの電位は3.5V程度に上昇し(図2(b)参照)、出力端子53(節点F)における出力電位は、CMOSインバータ回路5により反転されて、接地電位(0V)として出力される(図2(c)参照)。

【0013】また、入力端子51および52に入力される相補入力信号に対応して、節点Aの電位が“L”レベルで、節点Bの電位が“H”レベルの時には(図2(a)参照)、PMOSTランジスタ1のソースには電源電圧VDD(5V)が供給されており、ゲート電位が“L”レベルになるためにPMOSTランジスタ1のオン抵抗値が低下し、またNMOSTランジスタ3においては、ゲートに電源電圧VDD(5V)が供給

されており、ソース電位が“H”レベルになるためにNMOSTランジスタ3のオン抵抗値が高くなって、節点Dの電位は3.5V程度に上昇し(図2(b)参照)、出力端子54(節点E)における出力電位は、CMOSインバータ回路6により反転されて、接地電位(0V)として出力される(図2(c)参照)。一方、PMOSTランジスタ2は、ソースに電源電圧VDD(5V)が供給されており、ゲート電位が“H”レベルになるためにPMOSTランジスタ2のオン抵抗値は高くなり、NMOSTランジスタ4においては、ゲートに電源電圧VDD(5V)が供給されており、ソース電位が“L”レベルになるためにNMOSTランジスタ4のオン抵抗値が低下して、節点Cの電位は1.5V程度に低下し(図2(b)参照)、出力端子53(節点F)における出力電位は、CMOSインバータ回路5により反転されて、電源電位(5V)として出力される(図2(c)参照)。

【0014】従って、0.8V程度の振幅の相補入力信号が0V/5VのCMOSレベルの相補信号に変換されて出力される。

【0015】次に、本発明の第2の実施例について説明する。図3は本実施例を示す回路図である。図3に示されるように、本実施例は、入力端子51、52および出力端子53、54に対応して、PMOSTランジスタ1および2と、NMOSTランジスタ3および4と、CMOSインバータ回路5および6とを備えて構成される。また、図4(a)、(b)および(c)は、図1に示される本実施例の各節点A、B、C、D、EおよびFにおける各動作波形を示す図である。

【0016】以下、図3および図4を参照して本実施例の動作について説明する。

【0017】図3において、入力端子51および52に入力される相補入力信号に対応して、節点Aが“H”レベル、節点Bが“L”レベルの時には(図4(a)参照)、NMOSTランジスタ3のソースには低電位電源電圧VSS(-5V)が供給されており、ゲート電位が“H”レベルになるためにNMOSTランジスタ3のオン抵抗値は低下し、またPMOSTランジスタ1においては、ゲートに低電位電源電圧VSS(-5V)が供給されており、ソース電位が“L”レベルになるためにNMOSTランジスタ1のオン抵抗値が高くなって節点Dの電位が低下し(図4(b)参照)、出力端子54(節点E)における出力電位は、CMOSインバータ回路6により反転されて、接地電位(0V)として出力される。一方において、NMOSTランジスタ4は、ソースに低電位電源電圧VSS(-5V)が供給されており、ゲート電位が“L”レベルになるためにNMOSTランジスタ4のオン抵抗値は高くなり、またPMOSTランジスタ2においては、ゲートに低電位電源電圧VSS(-5V)が供給されており、ソース電位が“H”レベルになるためにPMOSTランジスタ2のオン抵抗値が低下して節点Cの電位が上昇し(図2(b)参照)、出力端子53(節点F)における出力電位は、CMOSインバータ回路5により反転されて、低電位電源電位(-5V)として出力される。

【0018】また、入力端子51および52に入力される相補入力信号に対応して、節点Aの電位が“L”レベルで、節点Bの電位が“H”レベルの時には(図4(a)参照)、NMOSTランジスタ3のソースには低電位電源電圧VSS(-5V)が供給されており、ゲート電位が“L”レベルになるためにNMOSTランジスタ3のオン抵抗値が高くなり、またPMOSTランジスタ1においては、ゲートに低電位電源電圧VSS(-5V)が供給されており、ソース電位が“H”レベルになるためにNMOSTランジスタ1のオン抵抗値が低下して節点Dの電位が上昇し(図4(b)参照)、出力端子54(節点E)における出力電位は、CMOSインバータ回路6により反転されて、低電位電源電位(-5V)として出力される。一方、NMOSTランジスタ4は、ソースに低電位電源電圧VSS(-5V)が供給されており、ゲート電位が“H”レベルになるためにNMOSTランジスタ4のオン抵抗値が低下し、またPMOSTランジスタ2においては、ゲートに低電位電源電圧VSS(-5V)が供給されており、ソース電位が“L”レベルになるためにPMOSTランジスタ2のオン抵抗値が高くなって節点Cの電位が低下し(図4(b)参照)、出力端子53(節点F)における出力電位は、CMOSインバータ回路5により反転されて、接地電位(0V)として出力される。

【0019】従って、0.8V程度の振幅の相補入力信号が0V/-5VのCMOSレベルの相補信号に変換されて出力される。

【0020】

【発明の効果】以上説明したように、本発明は、より少ない数のMOSTランジスタを用いて相補信号のレベルを変換する回路を実現することができるという効果があり、且つ、これにより相補型レベル変換回路の消費電力を削減することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】第1の実施例の各節点における動作波形を示す図である。

【図3】本発明の第2の実施例を示す回路図である。

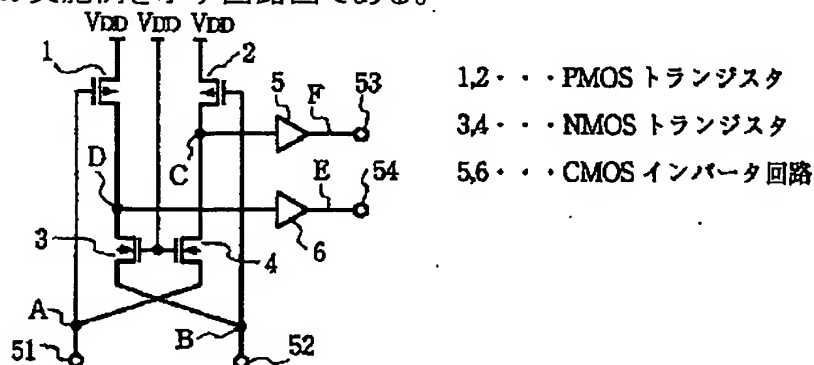
【図4】第2の実施例の各節点における動作波形を示す図である。

【図5】従来例を示す回路図である。

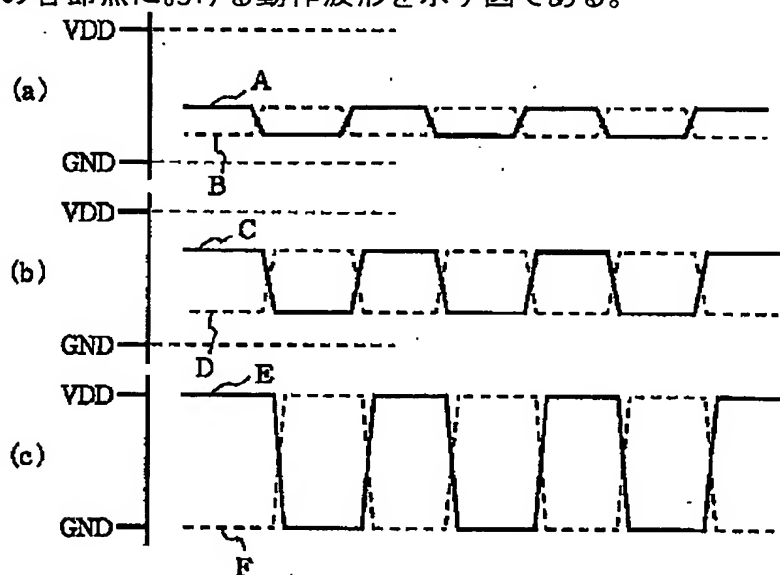
【図6】従来例の各節点における動作波形を示す図である。

【符号の説明】1、2、8、9、16、17 PMOSTランジスタ3、4、10、11、14、15 NMOSTランジスタ5、6、12、18 CMOSインバータ回路7、13 シングルエンド・レベル変換回路

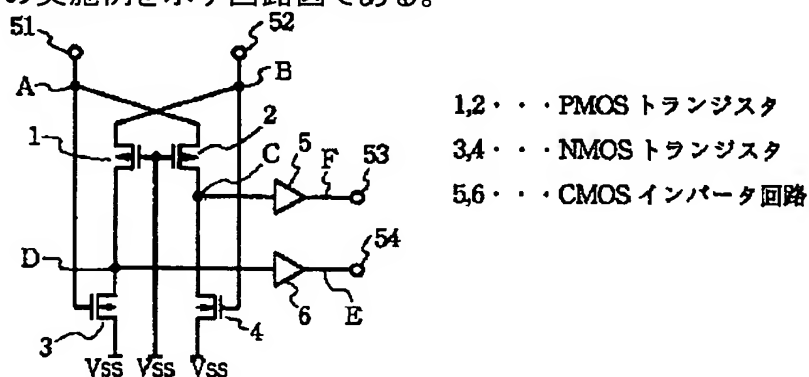
【図1】本発明の第1の実施例を示す回路図である。



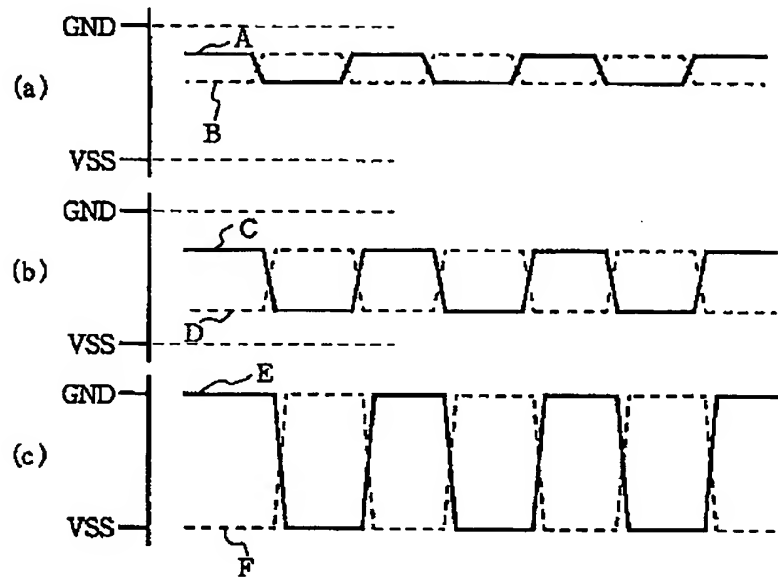
【図2】第1の実施例の各節点における動作波形を示す図である。



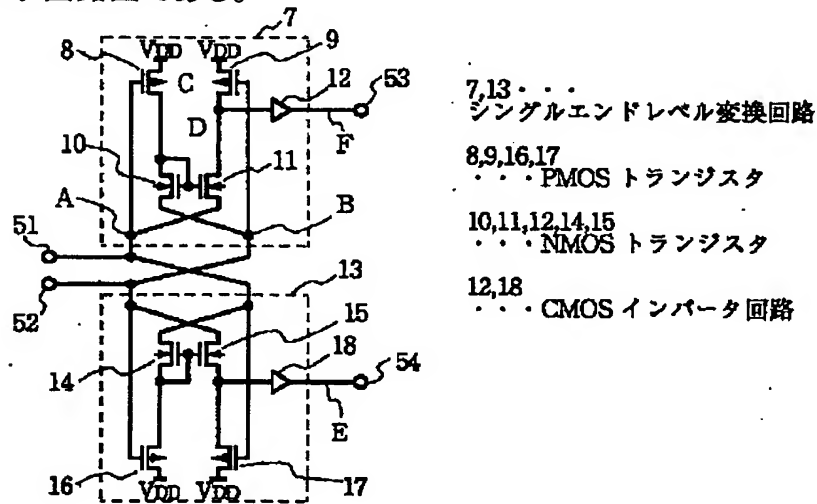
【図3】本発明の第2の実施例を示す回路図である。



【図4】第2の実施例の各節点における動作波形を示す図である。



【図5】従来例を示す回路図である。



【図6】従来例の各節点における動作波形を示す図である。

